

平成 30年 2月 23日

豊橋技術科学大学長 殿




学位審査委員会
委員長

大平 孝



論文審査，最終試験及び学力の確認の結果報告

このことについて，学位審査会を実施し，下記の結果を得ましたので報告いたします。

学位申請者	直永 卓也		
申請学位	博士 (工学)	専攻名	大学院工学研究科博士後期課程 電気・電子情報工学専攻
博士学位 論文名	半導体デバイスのバックエンドプロセスの複合要因故障と故障解析技術 (Backend process multifactor failure mechanism and failure analysis technique of semiconductor devices)		
論文審査の 期間	平成 30年 1月 18日 ~ 平成 30年 2月 22日		
公開審査会 の日	平成30年 2月 8日	最終試験の 実施日	平成30年 2月 8日
論文審査の 結果※	合格	最終試験の 結果※	合格
学力の確認日	平成30年 2月 8日	学力の確認の 結果※	合格
審査委員会(学位規程第6条)			
学位申請者にかかる博士学位論文について，論文審査，公開審査会，最終試験及び学力の確認を行い，別紙論文内容の要旨及び審査結果の要旨のとおり確認したので，学位審査委員会に報告します。			
委員長			
若原 昭浩 			
委員			
福田 光男 			
澤田 和明 			
印			
印			

※論文審査の結果，最終試験の結果及び学力の確認の結果は「合格」又は「不合格」の評語で記入すること。

論文内容の要旨

半導体デバイスの高度化により、その故障メカニズムは単独故障モードから、複数のプロセス工程が関係した複合的要因による故障モードへと複雑化している。複合的な要因による故障に対してシリコン IC の信頼性を維持確保するためには、従来技術の改良・改善や新規な故障解析技術の開発が必須である。複合要因的な摩耗故障モードのメカニズムを故障解析から明らかにしていくことは、更なる信頼性向上のためには不可欠である。以上のことに鑑み本論文では、シリコン IC のバックエンドプロセスにおける複合的な故障モードの故障解析結果からその原因とメカニズムを明らかにし、設計、プロセス、製造、レイアウトとの具体的な関連性を示した。そして今後のシリコン IC の信頼性向上における重要な点を示唆した。

本論文は全 8 章から構成され、第 1 章では、関連分野の研究動向と当該研究の目標と位置づけを示し、第 2 章では、小型パッケージの開封技術と電気化学ストップ法を組み合わせた物理解析手法の有効性を示し、第 3 章では、エミッション顕微鏡による発光スペクトル解析を行い故障モードの推定が可能であることを述べた。第 4 章では、TiN/AlSiCu/TiN の積層構造における Al 膜中の応力誘起ポイド形成メカニズムについて議論し、第 5 章では異なる製造法の組み合わせによる 3 層層間酸化膜構造の内部の Al 配線腐食と TiN 膜腐食が、製造法の違いと各層の重なり度合いの複合的要因に起因するクラック発生が原因であることを明らかにした。第 6 章では、ビアの高抵抗化で故障に至ったケースについて、セルの設計レイアウトとプロセスばらつきが相互に関係する故障メカニズムであることを明らかにした。第 7 章では、ソフトウェアを用いた故障解析技術として故障診断技術の故障箇所特定精度を従来技術のエミッション顕微鏡解析や光ビーム加熱抵抗変動解析と比較しながら評価した結果を示した。最後の第 8 章では、各章のまとめを行うとともに、今後の最先端シリコン IC における故障解析技術を展望した。

審査結果の要旨

本論文は最先端シリコン IC において、近年問題が表面化している複合モードにおける故障の解析技術提案、ならびに複合故障の原因について検討した結果を述べたものである。

n 型 Si デバイスを搭載したモジュールデバイスの故障解析に対して、85 °C の 48 % KOH 水溶液により酸無水物系硬化エポキシ樹脂が効率的にエッチングできることを示した。並びに新たに提案した電気化学的エッチストップ法を用いることで、露出した Si 基板の KOH 水溶液によるエッチング問題を解決したことは、ボード上に実装された状態での故障解析を行う上で重要な技術を開発したといえる。さらに半導体多層配線技術で多用される TiN /Al SiCu /TiN 積層構造におけるポイド形成のメカニズムを明らかにすることができた。その結果を受けて、全てのプロセスが変動することを前提に、ストレスマイグレーションやエレクトロマイグレーションに対して大きなマージンを確保できる方向に設計およびプロセス条件を設定することが、複合的な要因による故障発生の防止対策であることを示したことは、プロセス技術者および回路設計者に有益な情報である。

次に TiN 腐食の故障解析結果から、設計段階で故障誘発の原因となる特定の配線パターンを排除する様にレイアウトを充分考慮すれば、プロセスバラツキを吸収できることを示したことは、高い信頼性を持つデバイス製作のため、デバイス開発技術者に対する貴重な提言となっている。

このように、半導体バックエンドプロセスにおける故障解析手法の提案から複合モードの故障原因を明らかにした点、および故障解析事例から設計段階での故障誘発要因を推定する提案は、今後のシリコン IC の信頼性向上に大きな影響を与えるものであり、学術的、工業的に高く評価できる。

以上により、本論文は博士（工学）の学位論文に相当するものと判定した。

(要旨は 1 ページ以上可)