

平成 27年 2月 26日

豊橋技術科学大学長 殿








学位審査委員会
委員長

長尾 雅行



論文審査及び最終試験の結果報告

このことについて、学位審査会を実施し、下記の結果を得ましたので報告いたします。

学位申請者	浦上 法之		学籍番号	第 073306 号
申請学位	博士 (工学)	専攻名	大学院工学研究科博士後期課程 電気・電子情報工学 専攻	
博士学位論文名	歪補償構造を有するSi基板上III-V族希薄混晶半導体発光素子に関する研究 (Study on III-V dilute semiconductor alloy on Si substrate for light emitting devices with strain compensated structure)			
論文審査の期間	平成 27年 1月 22日 ~ 平成 27年 2月 22日			
公開審査会の日	平成27年 2月16日	最終試験の実施日	平成27年 2月16日	
論文審査の結果※	合格		最終試験の結果※	合格
<p>審査委員会(学位規程第6条)</p> <p>学位申請者にかかる博士学位論文について、論文審査、公開審査会及び最終試験を行い、別紙論文内容の要旨及び審査結果の要旨のとおり確認したので、学位審査委員会に報告します。</p> <p>委員長 澤田 和明 </p> <p>委員 福田 光男  岡田 浩 </p> <p>若原 昭浩  印 </p> <p>印  印 </p>				

※論文審査の結果及び最終試験の結果は「合格」又は「不合格」の評語で記入すること。

論文内容の要旨

半導体 LSI は高度な微細化により、集積回路内の配線遅延が LSI の動作速度を律速するに至り、光配線の導入が早急に求められている。このような背景に対し、本研究は Si 上に自在に光源を配置するため、構造欠陥のない III-V-N 層を形成し、これを用いた発光デバイス実現を目指して行われた。本論文は全 6 章から構成されている。

第 1 章では、研究の背景となる Si 系電子デバイスと化合物半導体による発光デバイスを集積化した光電子集積回路の研究背景と、その実現に向けた研究動向、本論文で着目する III-V-N 混晶の課題、そして目的を述べている。第 2 章では、本研究で用いた結晶成長技術および評価技術について説明している。第 3 章では、Si 基板上に形成される光デバイスに加わる格子歪を補償するために導入する歪補償層の候補として、BGaP と GaPN を取り上げ、格子歪補償構造の設計を行うとともに、両候補混晶の結晶成長特性を実験的に検討し、提案構造が実現できることを示した。さらに、成長表面における B 取り込みに対する結合歪みの影響について理論的に検討し、実験結果が説明できることを示している。第 4 章では、光デバイスの活性層の材料として要求される Si と格子整合する直接遷移型の半導体材料欠如の課題に対して、格子歪系ヘテロエピタキシーの初期過程で蓄積された歪エネルギーを緩和するため自然発生的に生じる InGaAsN/GaP 自己形成量子ドット形成過程を用いた解決策に取り組み、Si 基板上への InGaAsN/GaP 量子ドットの実現に成功している。第 5 章では、本論文で提案している発光デバイス全般に用いられる III-V-N 混晶の高品質化の要求に対し、成長過程で発生する N クラスタおよびクラスタに起因する欠陥発生を抑制する新しい結晶成長法を提案し、結晶成長中に形成される N に起因した非発光性の欠陥を大幅に低減できることを示している。最後の第 6 章では、論文の総括を行っている。

審査結果の要旨

本研究では、並列化が進む次世代 Si-LSI の配線遅延問題の解決の有力な候補である光電子集積回路の実現に向けて、Si と格子整合可能な III-V-N 混晶を用いた歪緩和構造を導入した発光デバイス構造を実現している。光デバイス構造全体で歪蓄積量を格子不整合転位発生の臨界値以下に抑えるための構造について、BGaP および GaPN を歪補償層構成材料の候補として取り上げ、分子線エピタキシーによる両者の結晶成長特性を調べ、組成制御性の観点から実際のデバイス構造に導入する歪緩和層として GaPN が有効であることを明らかにしている。また、BGaP 成長で観測された B 組成の飽和現象に対して、実験結果と価電子力場モデル (Valence-Force-Field) を用いた理論解析により、成長表面での B 原子取り込み反応における逆反応ポテンシャル障壁の低下により生じていることを明らかにしている。

光デバイスの活性層の材料として要求される Si と格子整合する直接遷移型半導体材料が欠如している課題に対しては、結晶成長初期過程で歪エネルギー緩和の為に自己発生的に形成される 3 次元構造を用いることを提案し、InGaAsN/GaP 自己形成量子ドットの形成条件と活性層としての可能性を検証し、高密度かつ均一なサイズの InGaAsN 量子ドットを Si 基板上にはじめて実現している。この自己形成量子ドット構造に対して実際に Si 電子デバイスとの集積化工程を念頭に、熱処理の影響について検討し 700°C の熱工程まで対応できることを明らかにしている。さらに、耐熱性の向上の観点から In を含まない GaAsN 活性層について、従来の連続成長で大きな課題となっていた N 組成の揺らぎと N クラスタ形成に伴う非発光性再結合中心の低減に対して、成長表面を窒化し、安定な表面構造となるまで待機した後に GaAs で埋め戻すことで GaAsN を成長する方法を提案し、非発光中心の大幅な低減に成功している。これにより、Si 基板上のレーザー実現に向けて基本的な構造を高品質で形成する結晶成長法の確立に成功している。

以上の研究成果は、国際学術論文誌 2 偏、国際会議発表論文 5 偏に掲載されるなど高く評価されている。以上により、本論文は博士 (工学) の学位に相当すると判断した。

(各要旨は 1 ページ以上可)