別紙４－２（課程博士（和文））

平成　３１年　　１月　　９日

電気・電子情報工 学専攻	学籍番号	第 123216 号	指導教員	福田　光男
氏名	太田　雅			石山　武

論文内容の要旨　(博士)

博士学位論文名	表面プラズモンを用いた高密度論理演算回路の要素技術

(要旨　1,200 字程度)

情報処理システムの基幹素子である半導体集積回路の性能向上のため，光速かつ大容量の情報処理および信号伝送が期待できる光配線技術が注目されている。光信号を用いた論理演算技術は，次世代集積回路の高機能化への応用が期待できる。しかし，伝播光はナノスケールの誘電体構造に集光することが困難であるため，光回路の高密度集積化は制限されている。上記課題を解決するために，光をナノスケールの誘電体に集光可能な，金属表面近傍の自由電子と光波が結合した量子である表面プラズモン（SP）を信号キャリアとする光集積回路の実現に向け，その要素技術の開発を行った。

SP 回路の高機能化に向けて，Au 薄膜上の酸化シリコン細線パターンから成る，SP 信号の干渉を用いた論理演算回路を開発した。伝播する SP 信号の位相を調整する構造を開発し，多モード導波路から成る SP 干渉素子と組み合わせることで，AND と XOR から成る 2 つの論理演算を同時に処理可能な SP 論理演算回路を新規に提案した。SP 強度分布の理論設計値と実験結果がよく一致することを確認し，約 10 dB のオンオフ比で動作可能な論理演算回路の実現可能性を示した。

また，SP 配線の更なる高密度化に向けて，金薄膜上の酸化シリコン細線を用いた SP 配線の交差構造を開発した。多モード導波路から成る SP 干渉素子を任意の角度で交差させ，入力 SP を対角の出力配線へ低損失で伝送できる配線交差構造を新規に提案した。半導体製造プロセスを用いて提案構造を作製し，伝播する SP の強度分布を測定して交差損失とクロストークを評価した。SP の近接場光強度分布測定により，低交差損失（1 dB 以下）かつ低クロストーク（ノイズレベル以下）の SP 交差配線構造を実証した。

上述した干渉を用いた論理演算回路では，オンオフ比を維持したカスケード接続の際に位相を厳密に制御する必要があり，これが回路網への展開を困難にしていた。本課題を解決するために，金／空気／金界面から成るナノスケールギャップ構造を導波路としたギャッププラズモン（GP）配線を用いて，カスケード接続を可能とする非線形屈折率効果を利用した論理演算回路の開発を行った。はじめに，GP の高効率オンチップ励起構造を開発した。これまでに報告されている GP 励起構造は，単一の偏光モードを光源として同じ偏光モードの GP 励起を目的としたものであった。本研究では，光源に対して直交偏光の GP を高効率励起する構造を開発することを目的とした。酸化シリコンストライプ型の SP 導波路上に設置した金ナノストライプへ局在する SP を，金／空気／金から成るギャップテーパー構造を介して集光することで，約 79％の効率で直交偏光変換および導波路幅 100 nm の GP モード励起が可能であることを解析的に確認した。また，SP および GP の近接場光強度分布測定結果より，解析結果と実験結果がよく一致することを確認し，直交偏光の GP モードが励起することを実験的に確認した。続いて，励起構造と Mach-Zehnder 干渉計，方向性結合器を組み合わせることで，屈折率変調を利用した論理演算回路の設計を行った。表面プラズモンの電場増強効果を利用することで，少なくともの 5.2 dB のオンオフ比で光路切り換え動作が可能であること解析的に確認した。

以上の結果は，表面プラズモンを用いた高密度論理演算回路の実現可能性を示している。

別紙４－１（課程博士（英文））

Date of Submission (month day, year) : January 9th, 2019

Department		Student ID Number	D123216	Supervisors	Mitsuo Fukuda
Electrical and Electronic Information Engineering					
Applicant's name	Masashi Ota				Takeshi Ishiyama

Abstract (Doctor)

Title of Thesis	Optical logic circuits using surface plasmons

Approx. 800 words

Silicon-based photonic integrated circuits (PICs) have been widely studied for high-speed and large capacity signal transmitting or processing using waveguide patterns. Surface plasmons (SPs), collective oscillations of free electrons at a metallic surface, can confine optical signal into dielectric/metallic interfaces beyond the diffraction limit of propagating light. Therefore, SPs are promising as signal carriers to realize high-density PICs comprising subwavelength-scale metallic wires, and plasmonic components.

I demonstrate a half-adder operation with simple phase adjustment using plasmonic multimode interference (MMI) devices, composed of dielectric stripes on a metal film. Plasmonic MMI devices, composed of dielectric multimode waveguides on a metal film, can be used to realize interference-based SP computing and optional phase shift adjustment in a simple structure. The simultaneous operations of XOR and AND gates were substantiated numerically and experimentally by combining 1×1 MMI based phase adjusters and 2×2 MMI based intensity modulators. In the phase adjusters, I controlled the phase shift of the plasmonic signal by determining the propagation coefficients of the fundamental guided modes of the waveguides. Obtained results confirm the feasibility of logic operations in simple plasmonic MMI structures with on/off ratio of approximately 10 dB.

To realize high-density interconnections in PICs, low-loss and low-crosstalk crossing waveguides are required for plasmonic device miniaturization and flexible patterning of the optical interconnections. I propose MMI crossing waveguides that use mirror image patterns for the silicon oxide stripes and evaluate their insertion losses and crosstalk both numerically and experimentally as a function of crossing angle. As a result, the low losses (lower than 1.0 dB) and the low crosstalk (lower than the background noise) have been confirmed experimentally.

I propose a novel gap-plasmon excitation structure for nonlinear plasmonic logic devices in PICs. The structure consists of a gold stripe and tapered gap for refractive index matching to a gap plasmonic waveguide and was fabricated at the top surface of a silicon-oxide-stripe-type plasmonic waveguide deposited on a gold film. Propagating surface-mode plasmons, confined into the dielectric-stripe waveguide, are localized at the corner of the gold stripe. Then, the localized lateral plasmons are converted to the orthogonal-polarized gap-plasmonic mode by increasing the effective refractive index of the gap waveguide using the tapered gap. The intensity ratio of the 100-nm gap-waveguide mode to the dielectric-stripe-waveguide mode was estimated to be of 0.79 through numerical simulations and plasmonic-field measurements. Finally, I propose and design an all-plasmonic nonlinear logic device comprising Mach-Zehnder interferometer and directional coupler. Numerical design results confirm the feasibility of logic operations using plasmonic field enhancement with on/off ratio of at least 5.2 dB.

These results indicate the feasibility of the high-density plasmonic logic circuits for PICs.