

平成 30 年 1 月 12 日

電気電子情報工学専攻	学籍番号	第 113306 号	指導教員	河野 剛士 澤田 和明
氏名	岡澤 貴之			

論文内容の要旨 (博士)

博士学位論文名	多チャンネルセンサに向けたミックストドメイン信号処理回路 (Mixed-domain signal processor for multi-channel sensor applications)
---------	---

(要旨 1,200 字程度)

ニューラルレコーディングシステム (NRS: neural recording system) やイメージセンサをはじめ、センサシステムのチャンネル数は指数関数的な増加傾向を示している。チャンネル数の増加に伴い、出力バッファや無線送信回路といった、LSI外部へデータを出力する回路の消費電力がセンサシステムにおける電力的なボトルネックとなる。これを解消するためには、LSI内部でデータ量を削減する低消費電力オンチップデータ圧縮回路が必要となる。回路の簡略化という観点から、圧縮アルゴリズムは単純な演算の繰り返しであることが望ましく、特に圧縮センシング (CS: compressed sensing) や JPEG 圧縮で用いられている離散コサイン変換 (DCT: discrete cosine transform) 演算は積和演算の繰り返しのみで実現可能である。しかし、従来のアナログ (電圧・電流) またはデジタル積和演算回路では、小面積化・低消費電力化の達成に限界があった。

本研究では、アナログ信号を入力とするデータ圧縮回路について、入力信号のドメインを遅延時間やビットストリームにおける 0/1 の発生確率といった情報に変換することで、所望の信号処理回路の簡素化・低消費電力化を可能とするミックストドメイン信号圧縮回路アーキテクチャの提案を目的とする。アプリケーションとしては、信号処理回路への要求仕様が異なる 2 種類のセンサアレイ、NRS およびイメージセンサを例に挙げ、それぞれのセンサに適した信号圧縮回路を適用することで、提案アーキテクチャの有効性を検証した。

NRS で測定する活動電位 (AP: action potential) は神経細胞の活動により生じる電気信号であり、1チャンネルあたりの信号帯域は 10kHz 程度と広く、信号圧縮回路にも高速動作が要求される。NRS における圧縮アルゴリズムとしては、1回の行列・ベクトル乗算のみによって圧縮可能な CS が挙げられるが、既存の圧縮回路では面積・電力が増加する。そこで本研究では高速な積和演算を効率的に実行可能な時間ドメインアナログ回路による CS エンコーダを提案した。時間ドメインアナログ回路は CMOS 回路の高い時間分解能を活かし微小時間で演算を行うため、高速演算が可能となる。提案 CS エンコーダの構成要素としては、電圧遅延変換回路 (VTC: voltage-to-delay-time converter) および時間デジタル変換回路 (TDC: time-to-digital converter) の検討を行った。VTC は電圧信号に比例した遅延時間を生成する要素回路であり、キャパシタと電流源を用いた積分回路により伝達特性において高い線形性を実現した。TDC は 2 つのパルスの立ち上がり時間差をデジタル信号に変換する回路要素である。本研究では TDC に必要な同期回路について新しい手法を提案することにより、先行研究に比べて小面積・低電力化を実現した。これらの要素技術を用いて試作した 100チャンネルの神経電位同時計測 LSI は、先行研究に比べてシステム全体で 61%、CS エンコーダに

関しては81%の消費エネルギー低減を実現した。

イメージセンサはその膨大なチャネル数により、LSIの出力バッファには10Gbpsを超える高速動作が要求されている。そのため消費電力増加がボトルネックとなる。圧縮アルゴリズムとしては、高圧縮率を実現可能なJPEG圧縮に着目し、JPEG圧縮に必要な超並列処理を効率的に実行するため、確率的信号処理回路の応用を検討した。確率的信号処理回路は通常のデジタル回路に比べてきわめて小規模な回路で演算を実現できるため超並列演算が容易である反面、入力信号から確率への変換に消費電力の大部分を消費してしまう問題があった。そこで本研究では、入力信号がアナログ信号であることに着目し、ダイナミックコンパレータを利用した低電力な電圧確率変換回路(VSC: voltage-to-stochastic-bit-stream converter)を提案した。コンパレータをVSCに応用するにあたり、オフセット電圧による入力範囲のシフトおよび確率-入力電圧特性の非線形性を補正する必要がある。本研究では、オフセット補正手法として時間ドメインオフセット検出手法および確率的オフセット検出手法を提案した。また、非線形性の補正に関しては意図的にオフセット電圧をもたせた2つのコンパレータ出力を確率的演算により平均することで8bitの線形性を保障する電圧入力範囲を4倍、確率出力範囲を2倍拡大させた。提案非線形補正を適応したVSCの消費エネルギーは、既存A/D変換回路およびバイナリBSC (binary-to-stochastic-bit-stream converter)の組み合わせに比べ86.9%と大幅な削減に成功した。提案VSCを用いたJPEG圧縮回路は既存のVSCを用いたシステムに比べて全システムの消費電力を56.1%削減することに成功した。

本研究におけるこれらの成果により、多チャネルセンサシステムの更なる多チャネル化・小面積化・低電力化が期待される。

Date of Submission: Jan. 12th, 2018.

Department Electrical and Electronic Information Engineering	Student ID Number D113306	Supervisors Takeshi Kawano Kazuaki Sawada
Applicant's name Takayuki Okazawa		

Abstract (Doctor)

Title of Thesis	Mixed-domain signal processor for multi-channel sensor applications
-----------------	---

Approx. 800 words

The number of channels of sensor systems such as image sensors and neural recording systems (NRS's) is exponentially increasing. Along with the increase in the number of channels, data bandwidth and power consumption for wired or wireless data transmitters is dominant part of the total power consumption in a sensor system. To overcome this issue, on-chip low-power data compression is requisite. To simplify such a compression circuit, it is desirable that the compression algorithm in the multi-channel sensor system can be executed by repeating simple operation. In particular, compressed sensing (CS) or discrete cosine transformation (DCT), which can be realized only by repeating simple product-sum operation, is suitable for on chip data compression. However, conventional voltage domain analog or digital data compressors require a large chip area and/or power.

In this study, to reduce power consumption and area, mixed-domain signal processing architecture is proposed. It easily executes the product-sum operation by converting voltage/current domain analog signal to other domains, such as delay time or occurrence probability of 0/1 in bit stream. As an example of applications of the mixed-domain signal processor, two types of sensor array systems, an NRS and an image sensor were assumed, which have different requirements for the signal compression circuits.

NRS measures a voltage signal generated by a nerve activity. Since the signal bandwidth per channel is 10kHz, the high-speed signal compression circuit is also required. For compression algorithms in NRS, CS, which can be executed by only a matrix-vector multiplication, is effective. However, conventional implementation requires large area and/or power. In this study, a time domain analog CS encoder, which can efficiently execute high-speed product-sum operation owing to fine time resolution of CMOS circuit, is proposed. A voltage-to-delay-time converter (VTC) and a time-to-digital converter (TDC) are designed for the CS encoder. VTC is a circuit that converts voltage into delay time. On the consideration of VTC, high linearity on transfer function was realized by using an integrator that is composed of capacitor and current source. TDC measures time differences of rising edge between two pulses. On the consideration for TDC, a novel synchronous circuit necessary for TDC is proposed, resulting in a smaller area and lower power consumption compared with previous works. A 100-channel NRS LSI based on the time-domain analog CS encoder using these elements is fabricated in a 180nm

CMOS process. It achieved 61% reduction in energy consumption in the entire system and 81% in CS encoder compared with other voltage domain analog circuits with CS.

Recently, image sensors have the enormous number of pixels and its data transmitter to output needs much higher speed over 10Gbps. Therefore, increasing its power consumption becomes a bottleneck. As a compression algorithm, JPEG compression is suitable for realizing high compression ratio. Since JPEG compression requires massively parallel product-sum operation, stochastic signal processor, which can execute product-sum operation by using few logic elements, can be useful approach. However, in stochastic signal processing, converting from an input signal to a probability requires larger power than core circuits. In this study, a low-power voltage-to-stochastic-bit-stream converter (VSC) using a dynamic comparator is proposed. To apply the comparator to VSC, it is necessary to correct its offset voltage of the comparator and the nonlinearity of a transfer function between probability and input voltage. In this study, a time-domain and stochastic offset detection techniques are proposed. Nonlinearity of the transfer function limits a linear input and output range. To correct the nonlinearity of the transfer function, stochastic nonlinearity correction technique by averaging the outputs of two comparators with intended offset voltages is proposed. By the proposed technique, the voltage input range and the probability output range are expanded by 4 times and by 2 times, respectively, ensuring 8 bit linearity. The energy consumption of the proposed comparator-based VSC with the nonlinear correction has been greatly reduced by 86.9% compared with conventional VSC based on ADC and BSC (binary-to-stochastic-bit-stream converter). A stochastic JPEG compressor using the proposed VSC can reduce the total power consumption by 56.1% compared with the conventional VSC based systems.

Through these application examples, It is considered the proposed architecture would contribute to low-power area-efficient sensor systems.