

電子・情報工学専攻	学籍番号	043344	指導 教員	若原 昭浩
申請者 氏名	山根 啓輔			岡田 浩

論文要旨 (博士)

論文題目	Si/III-V-N/Si ヘテロ構造の欠陥抑制技術に基づいた異種デバイス融合に関する研究
------	---

(要旨 1,200 字程度)

格子整合系 Si/III-V-N/Si ヘテロ構造を基礎としたモノリシック光電子集積回路の実現は、次世代デバイスの開発に新しい展開を与える。そこで鍵となるのは、結晶成長機構の理解に立脚したヘテロ界面の制御技術、III-V-N 混晶の成長技術、さらにアプリケーションの観点からはテスト回路の試作による実現可能性の実証である。本研究では、Si/III-V-N/Si 構造の欠陥抑制技術を見出すことにより、要素デバイスを一体化したテスト回路の実証を目的とした。

はじめに、Si/III-V-N/Si 構造作製の根幹技術である Si 基板上 GaP の成長様式を検討した。ここでは、従来の表面拡散促進エピタキシー(MEE)法によって GaP を成長した場合に、意図しないピットの形成が生じた。これは、Ga 液滴の形成による Si 基板のメルトバック・エッチングが原因であることを成長初期段階の観察から突き止めた。

そこで、Ga 供給量を変調した MEE 成長と成長後熱処理を組み合わせた成長手法を提案した。MEE 成長において Ga 供給量を段階的に増加させることは、メルトバック・エッチングを最小限に抑制しながら二次元成長を促進するのに有効であった。さらに、Si 基板上 GaP 層において最も発生頻度の高い積層欠陥については、成長後熱処理によって消滅できることを示した。その機構として、部分転位の熱的すべり運動によるアニールアウトのモデルを提案した。結果として、市販の GaP 基板の結晶品質と同等の、エッチピット密度 10^5 cm^{-2} 台を達成した。

次に、高品質 Si/III-V-N/Si 構造に向けて、S 添加 GaPN 混晶の成長様式を検討した。高濃度に S を添加した GaPN のピット形成の原因が S-N の結合で生じる析出物であることを明らかにした。くわえて、不純物濃度の測定および表面モフォロジーの観察から、S-N の結合が GaPN:S の二次元成長島のサイズを縮小することがわかった。

最後に、n-Si/p-GaPN/n-GaPN/GaP/n-Si 構造を作製し、テスト回路を実証した。ここでは、Si 層の残留キャリア濃度を $1 \times 10^{17} \text{ cm}^{-3}$ まで下げ、意図しない不純物の取り込みの原因を明らかにした。試作した光入出力表示付き 1 ビットカウンター回路は、LED の発光と入出力信号が同期し、正常な動作を示した。さらに、p-Si/p-GaPN 界面のバンドエンジニアリングにより、LED の駆動電圧を理想的な値まで低減することに成功した。