

電子・情報工学専攻	学籍番号	013401
申請者氏名	秋 田 一 平	

指導教員氏名	和田 和千 田所 嘉昭
--------	----------------

論 文 要 旨 (博士)

論文題目	Low-Voltage Wide-Dynamic Range CMOS Log Domain Filter Using Companding Technique (低電圧・広ダイナミックレンジCMOSコンパANDINGログドメインフィルタに関する研究)
------	---

【 要 旨 】

本論文では、コンパANDING技術を用いた低電圧・広ダイナミックレンジ (DR) CMOSアナログフィルタの設計技術を提案する。まず、瞬時コンパANDING積分器の設計自由度に着目した合成手法を示し、既知の4個を含む、全45個の回路構成を導出する。これらはシミュレーションによって性能比較され、回路構成に起因する特性の違いが考察される。また、これらのうち2つの積分器を用いて設計した2次バターワース低域通過フィルタを、 $0.35\mu\text{m}$ CMOSプロセスを用いて試作し、それらの測定結果を通じた性能比較からも特性の差異を確認する。さらに、導出した全積分器の回路構成から、高次フィルタの合成に適したログドメイン積分器コアを得る。

ログドメイン積分器コアは、シラビックコンパANDINGフィルタの一部として用いられる。シラビックコンパANDINGフィルタにおいて、広DRのためにフィルタコアの前段における増幅器により、フィルタの内部節点の電圧振幅は歪を生じない程度に大きくなるよう動的に調整される。ログドメイン回路にシラビックコンパANDING技術を組み合わせることで、単一のMOSトランジスタで容易に増幅器を実現でき、このような技術を適用したフィルタは、動的バイアス調整 (DAB) フィルタと呼ばれる。従来のDABフィルタは、112dBのDRを達成しているが、2.5Vの電源電圧を必要としていた。本論文では、従来のDABフィルタにおいて固定されていた、ある節点電位を動的に変化させることで、広いDRを維持したまま低電圧動作可能となる低電圧DAB技術を提案している。本提案技術を適用した5次チェビシェフ低域通過フィルタを、 $0.35\mu\text{m}$ と $0.18\mu\text{m}$ CMOSプロセスを用いて試作し、それらの測定結果から、前者は電源電圧0.8Vにおいて78dBのDRを、後者は電源電圧0.6Vにおいて89dBのDRが達成されたことを確認した。さらに、後者のフィルタは近年発表された最先端のアナログフィルタと、性能指標 (FOM)・電源電圧の観点から比較され、提案技術の有効性が確認できる。ここで、FOMは3.83fJであり、消費電力、フィルタ次数、帯域幅、DRから求まる。

本論文においては、上記に示す低電圧DABフィルタの、最適設計を短時間に行うための手法も提案されている。提案する最適設計手法は、歪モデルの作成と雑音解析に基づいており、シミュレーションにおける過渡解析を必要としないため、3次バターワースフィルタを対象とした設計例においては、1/48の設計時間短縮を達成している。さらに、低電圧DABフィルタを電源電圧や温度の変動に対して安定に動作させるための、各種低電圧バイアス回路 (制御回路、低電圧基準電圧生成回路、低電圧遮断周波数自動調整システム) を提案している。基準電圧生成回路は、従来用いられてきたダイオードを弱反転領域にバイアスされたpチャネルMOSFETに置き換えることで低電圧化されており、シミュレーション結果から0.55Vの電源電圧から0.4Vを生成可能であり、27°Cにおいて $-25.5\text{ppm}/^\circ\text{C}$ の温度係数が達成された。また、周波数自動調整システムにおいては、高利得増幅器の機能をデューティ比検出器とチャージポンプ回路で等価的に実現することで、低電圧動作可能としており、安定性についても議論されている。

Electronic & Information Engineering	No.	013401
Name	Ippei Akita	

Supervisor	Kazuyuki Wada
------------	---------------

Abstract (D.E.)

Title	Low-Voltage Wide-Dynamic Range CMOS Log Domain Filter Using Companding Technique
-------	--

【 Abstract 】

This dissertation proposes novel design techniques of low-voltage CMOS analog filters with wide dynamic range through the companding techniques. First, it is pointed out that an instantaneous companding integrator, which is a building block of continuous-time filters, has a degree of freedom to configure its topology, and then a synthesis method of all the integrators is proposed. Synthesized 45 integrators including known four ones are compared to each other by simulations, and some intrinsic features of each topology are found from the results. Two 1.0-V 2nd-order Butterworth low-pass filters fabricated in a 0.35- μm CMOS technology as an application example of the integrators are also compared through its measured results. Furthermore, a selection of log domain integrator cores from the integrators is discussed for higher-order log domain filter design.

One of the selected log domain filter cores is used for syllabic companding filters the internal voltage swings of which are dynamically amplified as large as possible by sensing an input or an output signal of the filters. Combining log domain circuits with the syllabic companding technique, filters are easily implemented by use of one transistor as an amplifier, in which these filters are also called as dynamically adjustable biasing (DAB) ones because a gain of the amplifier is set by a dynamic bias current. Although a conventional DAB-based filter requires a supply voltage of 2.5 V, filters based on a modified DAB technique can operate at lower-supply voltages, 0.8 and 0.6 V, with keeping wide-dynamic range. Two 5th-order Chebychev low-pass filters are designed to confirm effectiveness of the proposed technique. The one is fabricated in a 0.35- μm CMOS technology and the other is done in a 0.18- μm one. The former achieves a 78-dB dynamic range at a power supply of 0.8 V. On the other hand the latter filter has a dynamic range of 89 dB and consumes 443 μW , and then the filter is compared to other recently published filters through a figure of merit (FOM) which is calculated by use of dynamic range, bandwidth, filter order, and power consumption. The filter achieves an FOM of 3.83 fJ from a power supply of 0.6 V, which represents effectiveness of the proposed scheme in the view of a trade-off between a supply voltage and a dynamic range.

To design the filters with wider dynamic range in a short time, an optimum design method is presented. The method uses a signal-to-noise-plus-distortion ratio as an evaluation function from an analyzed noise characteristic and a distortion model. The method does not need any transient simulations, reducing the simulation time: a reduction of about 1/48 is achieved. Furthermore low-voltage biasing circuits, such as control circuits, a voltage reference circuit, and a frequency tuning system, are also proposed for higher performance and integration. The control circuits, which provide a dynamic bias current, include a low-voltage current peak detector and measured results of its prototype chip in a 0.35- μm CMOS process shows a wide-detection range from a 0.8-V supply. To achieve low-voltage operation a voltage reference circuit uses p-channel MOSFETs in weak inversion region instead of bipolar transistors in conventional bandgap reference circuits. The simulated results show a temperature coefficient of -25.5 ppm/ $^{\circ}\text{C}$ at 27 $^{\circ}\text{C}$. The fabricated reference circuit in a 0.18 μm CMOS technology outputs a voltage of 0.4 V from a 0.55-V power supply at a room temperature. The frequency tuning system based on a voltage-controlled filter is proposed by replacing a high-gain amplifier with a duty ratio detector and a charge pump circuit for low-voltage operation. Stability analysis of the system is also described.