

18年 8月 31日

電子・情報工学専攻	学籍番号	039304		指導教員氏名	石田 誠 澤田 和明
申請者氏名	Halima Khatun Mst. Halima khatun				

## 論文要旨(博士)

論文題目	Structural and Electrical Properties of Resonant Tunneling Diode Fabricated with epi-Si/ $\gamma$ -Al <sub>2</sub> O <sub>3</sub> Heterostructures (Si/ $\gamma$ -Al <sub>2</sub> O <sub>3</sub> ヘテロ構造を用いた共鳴トンネルダイオードの構造的・電気的特性)
------	--

(要旨 1,200字程度)

本研究ではヘテロエピタキシャル成長した Si/ $\gamma$ -Al<sub>2</sub>O<sub>3</sub> の微細構造、組成、界面特性の解明、および、本構造を用いて作製される共鳴トンネルダイオードの電気特性の解析を目的とした。

本研究では原子間力顕微鏡 (AFM)、反射高速電子回折 (RHEED) を用いて表面モルフォロジー分析、透過型電子顕微鏡 (TEM)、分光エリプソメトリ (SE)、および RHEED を用いて結晶性解析、X 線光電子分光 (XPS)、TEM を用いて界面特性の解析を行なった。

AFM 分析より本研究では $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 上の Si ヘテロエピタキシャル成長には成長温度 800°C、Si 堆積レート 4 nm/h を最適条件とした。なお、このヘテロエピタキシャル成長において堆積レートの増加は Si の柱状成長化に起因すると考えられる表面荒れをおこし、また、その柱状 Si のグレインサイズは堆積レートの増加に伴って増大することが明らかになった。 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> の結晶性、および Si のヘテロエピタキシャル成長は RHEED によって確認がされ、特に良好な表面モルフォロジーを示した Si 堆積レート 4 nm/h 時の表面からは平坦な結晶表面を示すストリーク RHEED パターンが観測された。なお、表面荒れを起こした高堆積レート Si からは結晶性と表面粗さの劣化を示すスポット・ストリークパターンが観測された。

Si 基板上に作製した $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si/ $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 構造が多層構造を形成していることが TEM 観察から確認され、また、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 界面は非常に平坦であり、かつ界面層が形成されていないことも確認された。なお、RHEED パターンは結晶性を示していたが、TEM 像による解析では各層間の界面状態は完全に均一ではなく、またその結晶性も場所により異なっていた。

XPS 分析から $\gamma$ -Al<sub>2</sub>O<sub>3</sub> と Si 界面に検出可能なレベルの SiO<sub>x</sub> 層は観測されなかった。分光エリプソメトリによる $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 界面および多層構造の各界面の詳細な解析により、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板界面にはわずか 0.03 nm の界面サブオキサイド層を含む一方で、多層構造の他の界面にはそのような界面層の形成がないことが明らかになった。また、最良条件で形成されたエピタキシャル Si 層でさえ結晶相とアモルファス相から構成されており、このアモルファス相成分は堆積レートの増加に伴って増加することも明らかになった。なお、測定された比誘電率の虚数成分解析から見積もられた Si 基板上の $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 層に加わる静水圧力は  $8 \times 10^9$  dynes/cm<sup>2</sup> であり、これはヘテロ構造の層数の増加に伴って増加した。なお、この圧力の起源としては $\gamma$ -Al<sub>2</sub>O<sub>3</sub> と Si の格子不整合に起因すると考えられる。

作製した共鳴トンネルダイオード (RTD) は室温において高いピーク・バレー電流比 (PVCR) を持つ負性微分抵抗 (NDR) 特性を示した。なお、本測定は正負バイアス条件で行い正バイアス条件下でのみ NDR 特性が観測されたことは、簡単なエネルギー・バンド構造を用いた説明と一致し RTD 構造の形成を示していると考えられる。また、ピーク電流値はバリア障壁膜厚依存性、ピーク電圧位置は量子井戸膜厚依存性を示した。なお、ピーク電流値と PVCR は量子井戸膜厚に依存しなかった。ここで RTD 構造においてはピーク電流値が重要であり、低電流駆動可能な RTD はデジタルロジック中のメモリ回路応用、高電流駆動可能な RTD は高速スイッチング応用に適している。これは本研究によって示されたピーク電流の障壁膜厚依存性を応用することで、メモリとスイッチングの両応用に RTD が適用可能なことを示されたといえる。しかしながら、電流・電圧特性の再現性は良好でなく、PVCR は再測定のたびに減少、ピーク電圧位置も変化した。本論中では本現象について説明されている。

作製した RTD の容量・電圧 (C-V) 特性からは電荷保存機構についての考察とそのスイッチング特性の見積もりを行なった。CV 特性においてはトンネリング中に量子井戸に電荷が蓄えられたことを示す量子キャパシタンスに起因する容量のピークが見られた。なお、トンネリング後は量子井戸は電荷を放出するため容量のピークは消失した。電子のトンネル確率が測定周波数に依存するため容量ピーク値の印加された測定周波数依存性も観測された。RTD 構造のスイッチング時間は 8.6 nano·sec と見積もられたが、これは他の RTD 構造 (III-V 族半導体のもの) よりも比較的長かった。なお、これはエピタキシャル $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 構造における低ピーク電流密度によるものと考えられる。また、最大動作周波数は 0.19 GHz であり、これに関しても III-V 族で構成されたものよりも低い値であった。