

平成 11年 2月 23日

電子・情報工学専攻	学籍番号	923325	指導教官氏名	米津 宏雄 教授 吉田 明 教授 朴 康司 助教授
申請者氏名	辻 琢人			

論 文 要 旨 (博士)

論文題目	結晶欠陥の発生を抑制したSi基板上の GaAs系微小発光素子の作製に関する研究
------	--

Si基板上に微小発光素子を作製することができれば、Si集積回路の配線遅延の問題が解決できる。しかしながら、Si基板上的III-V族化合物半導体ヘテロエピタキシーにおいては、材料間の物性定数などの違いにより成長層には高密度の結晶欠陥が発生する。われわれはこれまで、ヘテロ界面に $(\text{GaAs})_m(\text{GaP})_n$ 歪短周期超格子 (SSPSs) 層およびGaP層を挿入することにより、III-V族化合物半導体層内の貫通転位密度の低減を試みてきた。したがって、このGaAs/SSPSs/GaP/Si構造はSi基板上に微小発光素子を作製するうえで有効である。そこで本研究では、SSPSs層を用いたSi基板上へのIII-V族化合物半導体の微小発光素子の作製を目的とした。

格子不整合ヘテロエピタキシーにおいて、III-V族化合物半導体を選択成長することにより貫通転位密度の低減が期待される。そこで、GaAs/SSPSs/GaP/Si構造の選択成長を試みた。はじめに、第一層目のGaP層をMEE法でSi基板上に選択成長した。その結果、GaP層を成長する前にSi基板表面に形成するP-プリレイヤーを低温で形成することにより、GaP層内のアンチフェーズ・ドメインの成長層表面への伝搬が抑制できた。これは、GaP成長前のSi基板表面のP原子の被覆率に依存しているためと思われる。つぎに、GaAs/SSPSs/GaP/Si構造を選択成長した。成長層は二次元的に成長し、4%の格子不整合が各ヘテロ界面へミスフィット転位を導入することにより緩和された。その結果、選択成長したGaAs/SSPSs/GaP/Si構造のGaAs層内の貫通転位密度が低減できた。

つづいて、面発光レーザをSi基板上に作製したときに問題となる、AlAs/GaAsDBRの表面ラフネスの低減を試みた。その結果、DBRとSi基板の間に挿入するバッファ層の成長温度を下げることにより、DBRの表面ラフネスが低減できた。これは、成長温度を下げてGa原子の表面マイグレーションを抑制することにより、成長層表面での不均一なGa原子の取り込みが抑制されたためであると考えられる。また、DBR-Si界面に $(\text{GaAs})_m(\text{GaP})_n$ SSPSs層およびGaP層を挿入することによって、成長層は二次元的に成長した。そして、4%の格子不整合は各ヘテロ界面へミスフィット転位導入することにより緩和された。その結果、DBR層内の貫通転位密度が効果的に低減できた。

先に得られた結果に基づいて、SSPSs層を用いてSi基板上へInGaAs/GaAs-VCSELの作製を試みた。はじめに、発振波長 $1.1[\mu\text{m}]$ で、 $4[\text{nm}]-(\text{InAs})_1(\text{GaAs})_1$ SSPS/GaAs量子井戸を用いた際に閾電流密度を最小にする活性層領域について検討した。その結果、三つから五つの $(\text{InAs})_1(\text{GaAs})_1$ SSPS/GaAs多重量子井戸構造を用いることにより、閾電流密度が最小にできる見通しが得られた。この結果に基づいて、 $(\text{GaAs})_m(\text{GaP})_n$ SSPSs層を用いて、Si基板上に $3 \times (\text{InAs})_1(\text{GaAs})_1$ SSPS/GaAs QWs (TQWs) を有する発振波長 $1.1[\mu\text{m}]$ のVCSEL構造を作製した。その結果、設計値にしたがってInGaAs/GaAs-VCSEL構造が作製できた。また、 $(\text{InAs})_1(\text{GaAs})_1$ SSPS/GaAs TQWsを貫通する欠陥を低減できた。そして、VCSELの構造をより簡易化できる、 $\text{Al}_x\text{O}_y/\text{GaAs}$ DBRを有するSi基板上的InGaAs/GaAs-VCSELを提案した。