

平成 11年 2月 23日

電子・情報工学専攻	学籍番号	923320	指導教官氏名	米津 宏雄 教授 吉田 明 教授 朴 康司 助教授
申請者氏名	左文字 克哉			

論 文 要 旨 (博士)

論文題目	III-V族化合物半導体ヘテロエピタキシーにおける貫通転位密度の低減および表面の平坦化に関する研究
------	---

格子不整合ヘテロエピタキシャル成長技術は異なった性質をもつ材料を組み合わせ、新しいデバイスを構築するために必要不可欠な基盤技術である。しかし、格子不整合歪みに起因して高密度の貫通転位が発生する。そこで、本研究では、貫通転位密度を低減化する手法を見いだすことを最初の目的とした。また、格子不整合ヘテロエピタキシャル層の表面は一般に平坦性が良くない。とくに、クロスハッチ・パターン(CHP)とよばれる凹凸が、観察されることが知られている。そこで、本研究では、CHPが明瞭に観察されるInGaAs-on-GaAsにおいてCHPの形成および成長過程を詳細に調べ、その抑制技術についても検討した。さらに、Siに格子整合する材料を成長することによって、貫通転位やCHPの発生を完全に抑制できると期待される。そこで、本研究では、GaP_{1-x}N_x混晶を用いて、Si基板上に無転位のIII-V族化合物半導体成長層を得る試みについても行った。

はじめに、工学的価値の大きいInP-on-Siヘテロエピタキシーにおける貫通転位の発生を抑制する手法について検討した。まず、InP-on-Siとほぼ同じ格子不整合をもつInP-on-GaPヘテロエピタキシーにおいて初期成長過程と貫通転位の発生機構を調べた。その結果、貫通転位の発生は、InP三次元成長島の拡大・合体の過程で生じることがわかった。そこで、InP-on-Siヘテロエピタキシーにおける貫通転位の発生を抑制するために、(InAs)_m(GaAs)_n歪短周期超格子(SSPS)および(GaAs)_i(GaP)_j SSPSからなる多層構造を用いた。その結果、各層は二次元的に成長し、三次元成長島の発生を抑制できることが明らかになった。また、格子不整合歪みは各ヘテロ界面に導入されたミスフィット転位によって緩和され、貫通転位の発生が効果的に抑制されることが見出された。

つぎに、GaAs基板上に成長した(InAs)₁(GaAs)₄SSPSおよびIn_{0.2}Ga_{0.8}As混晶の格子緩和過程を調べた。その結果、SSPSでは混晶に比べて転位発生の臨界膜厚が増加することがわかった。しかし、その後の格子緩和過程について両者には大きな違いが見られず、SSPSは混晶とほぼ同じ速度で格子緩和が進行することが明らかになった。

次いで、In_{0.2}Ga_{0.8}As-on-GaAsヘテロエピタキシーにおけるCHPの形成過程と表面ラフネスの低減化技術について検討した。その結果、In_{0.2}Ga_{0.8}As-on-GaAsヘテロエピタキシーにおけるCHPの成長には、主にIn原子の不均一な取り込みが寄与していることが明らかになった。また、格子不整合歪みをほぼ完全に緩和するIn_{0.2}Ga_{0.8}As層を低温で成長することによって、表面が平坦で残留歪みのほとんどない層を実現できることを示した。このような層の上ではIn原子の表面拡散を促進した成長、すなわち高温成長を行っても表面ラフネスはほとんど増大しないことを明らかにした。

さいごに、Si基板上に無欠陥のGaP_{1-x}N_x混晶を成長するために、GaP_{1-x}N_x/GaP/Si構造を成長した。GaP_{1-x}N_x混晶層のN組成は約1.3%であることがわかった。このときのGaP_{1-x}N_xとSiの格子不整合は0.15%とひじょうに小さいことがわかった。さらに、GaP_{1-x}N_x/GaP/Si構造においては、ミスフィット転位やAPDなどの結晶欠陥の発生が抑制され、無欠陥成長層をSi基板上に実現できることが明らかになった。