

題 目：VLSI向きアレイ構造アーキテクチャの設計法に関する研究

論 文 要 旨

大規模集積化(VLSI)技術の発展にともない、高度な並列処理システムのVLSI化が現実になりつつあり、VLSI化を前提としたアーキテクチャ(VLSI向きアーキテクチャ)およびアルゴリズムの設計、開発が要求されている。本論文では、VLSI化に適するアーキテクチャは規則的かつ繰り返しのアレイ構造により構成されるという立場をとり、アレイ構造アーキテクチャとその上で処理される問題の適合性を通信構造の観点から明確にし、与えられた問題を効率良く解くためのアーキテクチャおよびアルゴリズムを設計する手法について論じる。

アレイ構造アーキテクチャに適合する問題を通信構造の観点から明らかにするため、論文の前半部では格子結合プロセッサアレイにおいて、大域通信構造の差異と問題を解くための計算量との間の関係について議論する。まず、グローバルバスの規模を表現するパラメータ f を新たに導入し、VLSIモデル上でバス付きプロセッサアレイの面積下界、行列乗算、FFT、ソーティングなどの計算時間下界を導出することにより、これらの問題に対して、実際的な規模の f では大域通信が有効でないことを明らかにする。次に、大域通信が有効な問題について議論するため、分割可能なグローバルバスをもつプロセッサアレイ(PAS_b)を考え、その上で半群計算、中央値選択問題を解くためのアルゴリズムを記述、評価する。また、既提案の種々のバス形態を有するプロセッサアレイ上での結果と比較することにより、グローバルバス(大域通信)の構造が真に問題の複雑さに影響をおよぼすことを示すとともに、 PAS_b のVLSI有効性についても言及する。更に、大域通信の有効な問題と有効でない問題の性質について検討する。

上で得られた結果を踏まえて後半部では、問題に内在している局所通信性を利用して、その問題を効率良く計算するアレイ構造アーキテクチャ(シストリックアレイ)およびアルゴリズム(シストリックアルゴリズム)を設計する手法について議論する。まず、シストリックアレイの系統的設計手法を提案する。提案手法(射影法)は、三重ループ構造プログラムを問題の仕様とし、正射影の概念を用いて三次元ユークリッド空間内に表現されたループプログラム構造を線形変換を用いて超平面に写像することにより、逐次アルゴリズムをシストリック性を有する並列アルゴリズムに変換できることに基づく。本設計法は、既に提案されている手法(Moldovan法)と異なり、変換関数を導出する手間を指数時間から多項式時間に大幅に減少させられると同時に、常に変換関数の正則性が保証される利点をも

つ．次に，射影法を一部利用して，パターンマッチング処理において有用なDPマッチングのための二種類のシストリックアルゴリズムを設計する．一つは，使用するハードウェア量を制限しないアルゴリズムHADPで，もう一つはハードウェア量を实际的規模に固定したアルゴリズムHADPSである．HADPは，HADPSより高速にマッチング処理を実行可能である．一方，HADPSは外部から入力されるパターン系列の長さに関係なく動作するため，連続単語音声認識へも容易に適用できることを明らかにする．提案シストリックアルゴリズムは，パターンマッチング処理において重要な実時間性を失うことがないように配慮されている．