

豊橋技術科学大学長 殿

平成 17年 3月 1日

審査委員長 田所 嘉昭



論文審査及び最終試験の結果報告書

このことについて、下記の結果を得ましたので報告いたします。  
記

学位申請者	加藤 陶子	学籍番号	第 9 6 1 3 0 7 号
申請学位	博士(工学)	専攻名	電子情報工学専攻
論文題目	Si(111)集積回路の高性能化に関する研究		
公開審査会の日	平成 17年 2月 24日		
論文審査の期間	平成17年1月26日~平成17年2月28日	論文審査の結果	合格
最終試験の日	平成 17年 2月 24日	最終試験の結果	合格

論文内容の要旨

今日のCMOS(Complementary MOS)集積回路などのMOSデバイスは、界面準位密度が小さなSi基板の(100)面を用いている。その一方で、スマートセンサシステムの開発や高集積化に伴い、(100)面以外へのCMOS回路製作が検討されている。しかしながら、Si(111)界面準位密度はSi(100)界面よりも一桁程度大きい。本研究は、神経電位センサシステム構築に向けたSi(111)基板上への信号処理回路の製作と、CMOSデバイスの高性能化を述べており、全5章から構成されている。第1章で、研究の背景と目的を述べ、第2章ではスマート神経電位センサのための(111)CMOS集積回路の製作と評価を行ない、プロセスの最適化により、8ビットシフトレジスタ、画素数64点の信号検出用集積回路の動作を確認できたことを記している。第3章は、第2章で課題とされた1/f雑音を低減するために、Si(111)面上に製作する低雑音信号読み出し回路として、二次元アレイ回路に適したJFETデバイスを標準CMOSに近い工程でSi(111)基板上で製作でき、大幅なノイズの削減ができることを記述している。第4章では、Si(111)上にMOSFETを製作するときの大きな問題である界面準位密度の低減を目指し、(111)CMOSデバイスの特性改善を研究している。その方法として、回路製作後の長時間H<sub>2</sub>アニール、SiO<sub>2</sub>-Si界面へのフッ素(F)導入、そしてこの両者を行なうプロセスを提案し、特性の向上に言及している。最後は5章で総括となっている。

審査結果の要旨

最近の集積回路の進展とマイクロ・ナノ技術によるセンサ・MEMS (Micro-Electro-Mechanical System) との融合により、Si(100)面上にMOS集積回路を作製するだけでは、新たな要求に対応できなくなってきた。特に本学で開発している神経電位計測スマートチップはSi(111)面上に作製する必要がある。このため、本研究は新たなCMOSデバイスをSi(111)上に作製するためのプロセス条件の検討から始め、プロセスの最適化により、8ビットシフトレジスタを持つ信号検出用64画素の集積回路を初めて完成させた。さらに生体信号のような低周波領域での動作で問題となる1/fノイズの低減を目的として、2次元アレイ回路に適する構造の接合型FET (JFET) を考案し、CMOS回路プロセスで同時に作製し、信号読み出し回路の大幅なノイズ低減を実現した。そして、さらなる特性の向上を目指し、Si(100)上の特性に近づけるために、SiとSiO<sub>2</sub>界面の欠陥密度の低減を目的として独自の改善方法を考案した。それは、回路製作後の長時間H<sub>2</sub>アニール、SiO<sub>2</sub>-Si界面へのフッ素(F)導入、そしてこの両者を行なうプロセスを提案し、従来では予想できなかった、Si(100)と同等の界面準位密度を達成している。それにより1/fノイズの大幅な改善も見られ、今後のデバイスの進展に大きく貢献できる成果を出している。これらの成果は、学術論文や国際会議で報告しており、評価が高い。

以上により本論文は博士(工学)の学位論文に相当するものと判定した。

審査委員

田所 嘉昭



若原 昭浩



澤田 和明



石田 誠



印

印

(注) 論文審査の結果及び最終試験の結果は「合格」又は「不合格」の評語で記入すること。