

電子・情報工学専攻		紹介教官氏名	中 川 聖 一
申請者氏名	仲 野 巧		

論 文 要 旨(博士)

論文題目	リアルタイムOSのハードウェア化に関する研究 ()
------	-------------------------------

(要旨 1,200字程度)

リアルタイム・オペレーティング・システム(RTOS)は、自動車、航空機、マルチメディア機器、FAXなどのあらゆるリアルタイム制御機器に应用されている。例えば、自動車のエンジン制御装置(ECU)では、応答時間が数ミリ秒から数十ミリ秒を保持しなければならないため、このようなハードリアルタイム・システムではリアルタイムOSの実行時間が無視できないため、リアルタイムOSを使用しないで独立した複数の処理を簡単なループ状のプログラムによって逐次に処理している。これらの機器への要求は、効果的なタスク・スケジューリングと高性能なリアルタイムOSである。特に、ハードリアルタイム・システムでは、リアルタイムOSの実行時間と同様に割り込みに対する応答時間の短縮が要求される。

本研究では、この要求を満足させるために、最初に、SFLを用いたハードウェア・スケジューラを設計し、シミュレーションにより評価した。次に、リアルタイムOSの機能の一部をハードウェアで実現する新しいアプローチを提案した。この提案にしたがい、リアルタイムOSの性能を改善するため、STRON(シリコンTRON)と呼ぶ論理回路を設計した。

この提案の有効性を確認するために、 μ ITRONの基本的なシステムコールをSFLで設計した。FPGAへの実装による評価結果では、これらの機能のハードウェア部分は、4クロック以内で実行され、タスク・スケジューリングは、9クロック以内で処理することができた。そして、これらの性能は、ソフトウェアによる実装より、2から7倍高速であった。

さらに、VHDLと論理合成ツールを用いてリアルタイムOSのLSIチップを設計した。7リソース(タスク、イベントフラグ、セマフォ、割り込み)で構成する小規模のハードウェア・リアルタイムOSは、約10,000ゲート以内、さらに31リソースで構成する、より応用向きのハードウェア・リアルタイムOSは、約40,000ゲート以内で実現できた。

また、マルチタスクのコンテキストを記憶するためのレジスタバンクを用いることにより、コンテキスト切替時間を短縮するアーキテクチャを提案した。このアーキテクチャの可能性と有効性を評価するために、MIPS R3000 サブセットCPUにレジスタバンクとコンテキスト切替制御回路を含むコンテキスト切替モジュール(CSM)を設計し、ハードウェアコストと性能を測定した。制御回路は、SRAMモジュールで実現できるレジスタバンクと比較すると、小規模なハードウェアで実現することができた。また、コンテキスト切替時間は、ソフトウェアによる実装と比べると50%以上、短縮することができた。

シリコンTRONに関する研究の結果から、提案した方法によるシステムコールとタスク・スケジューリングの実行時間は、ハードウェア・リアルタイムOSにより数 μ 秒以内で実行できた。さらに、マルチタスクのアプリケーション・モデルを処理するシステムコールの実行時間は、従来のソフトウェアで実装したリアルタイムOSより約5分の1に短縮することができた。また、コンテキスト切替を含むトータルの性能は、ソフトウェアのリアルタイムOSより2.2倍高速であった。

したがって、本研究のリアルタイムOSのハードウェア化によって、従来の方法と比べ応答時間を短縮し、実行時間も予測することができるようになった。