

平成23年2月28日

豊橋技術科学大学長 殿

審査委員長 澤田和明



論文審査及び最終試験の結果報告書






このことについて、下記の結果を得ましたので報告いたします。

記

学位申請者	山根啓輔	学籍番号	第043344号
申請学位	博士(工学)	専攻名	電子・情報工学
論文題目	Si/III-V-N/Si ヘテロ構造の欠陥抑制技術に基づいた異種デバイス融合に関する研究		
公開審査会の日	平成23年2月22日		
論文審査の期間	平成23年1月27日～平成23年2月27日	論文審査の結果	合格
最終試験の日	平成23年2月22日	最終試験の結果	合格

論文内容の要旨
半導体 LSI は高度な微細化により、集積回路内の配線遅延が LSI の動作速度を律速するに至り、光配線の導入が早急に求められている。このような背景に対し本研究は、Si 上に構造欠陥のない III-V-N 層を形成し、これを用いた発光デバイスと電子デバイスのモノリシック集積実現を目指して行われ、本論文は全7章から構成されている。第1章では、研究の背景となる光電子集積回路の研究動向と本研究で着目する III-V-N 混晶、そして目的を述べている。第2章は、本研究で用いた結晶成長技術および評価技術について説明している。第3章では、Si 基板と III-V-N 成長層界面で発生する構造欠陥の発生メカニズムを解明し、その抑制方法を提案すると共に実験的にその有効性を検証している。第4章では、III-V-N 層に発生する積層欠陥についてその低減方法を提案すると共に、積層欠陥低減のメカニズムについて検討している。第5章では、発光デバイス実現に不可欠な伝導性制御のため、S を添加した場合の問題であるピット形成機構の検討を行い、その抑制方法を提案している。第6章では、得られた成果を踏まえて構造欠陥のない Si/III-V-N/Si 構造を作製し、電子回路を最上部の Si 層に、発光ダイオードを内蔵された III-V-N 層に形成したモノリシック光電子集積カウンタ回路の試作と、各要素デバイスの問題点を抽出しその解決策を示している。最後は7章で総括となっている。

審査結果の要旨
本研究では、次世代 Si-LSI の配線遅延問題解決に向けて、世界的にも未だ実用化の道筋が確立されていない光電子集積回路の実現を目指し、Si と格子整合可能な III-V-N 混晶を用いた構造欠陥の無い Si/III-V-N/Si 構造を実現している。ここでは、Si と III-V 族化合物半導体異種接合の結晶成長初期過程を原子レベルでの考察とモデルの実験的検証により明らかにしている。また、この成長初期過程のモデルに基づき、格子不整合転位、貫通転位、積層欠陥、ピット等、Si 上の化合物半導体のヘテロエピタキシーにて、長年解決できなかった問題の解決に成功している。この成果により、ウェハスケールで市販の GaP 基板と同レベルの欠陥密度の III-V-N/Si テンプレートを実現している。さらに、異種接合界面での発光ダイオード電圧損失の原因、最上部の Si 層に MOS 集積回路を作製する場合の残留 P の起源を明らかにし、モノリシック集積による光・電子集積回路を世界で初めて実現している。
以上の研究成果は、数多くの国際学術論文誌に掲載され、半導体分野の最新トピックスを集めたオンラインマガジン「Semiconductor Today」にも注目論文として研究紹介されるなど評価が高い。以上により、本論文は博士(工学)の学位に相当すると判断した。

審査委員
澤田和明  若原昭浩  朴 康司 
岡田 浩  印  印

(注) 論文審査の結果及び最終試験の結果は「合格」又は「不合格」の評語で記入すること。